

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-064279

(43)Date of publication of application : 07.03.1997

(51)Int.Cl.

H01L 27/04

H01L 21/822

H01L 21/285

H01L 29/78

(21)Application number : 07-218476

(71)Applicant : HITACHI LTD
HITACHI VLSI ENG CORP

(22)Date of filing : 28.08.1995

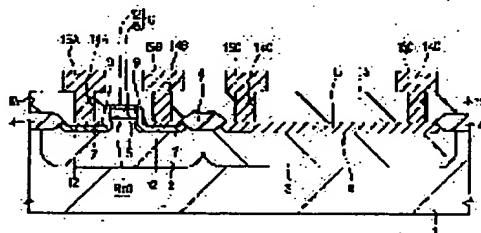
(72)Inventor : SHIOZAWA KENJI
KITAMURA NOBUAKI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a technique which can raise the operation speed of a semiconductor integrated circuit which has a MISFET and a resistor element, and also improve degree of integration.

SOLUTION: In a semiconductor integrated circuit device which has a MISFETQn1 and a resistor element R, the source region and the drain region of the MISFETQn1 are constituted of the first semiconductor region 7 made on the main surface of the semiconductor substrate 1 and the silicide layer 12 made on the main surface, and the resistor element R is constituted of the second semiconductor region 8 made on the main surface of the semiconductor substrate 1.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平9-64279

(43)公開日 平成9年(1997)3月7日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H01L 27/04			H01L 27/04	P
21/822			21/285	301S
21/285	301		29/78	301S
29/78				301J

審査請求 未請求 請求項の数4 OL (全11頁)

(21)出願番号 特願平7-218476

(22)出願日 平成7年(1995)8月28日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233468

日立超エル・エス・アイ・エンジニアリング株式会社

東京都小平市上水本町5丁目20番1号

(72)発明者 塩沢 健治

東京都青梅市今井2326番地 株式会社日立製作所デバイス開発センタ内

(74)代理人 弁理士 秋田 収喜

最終頁に続く

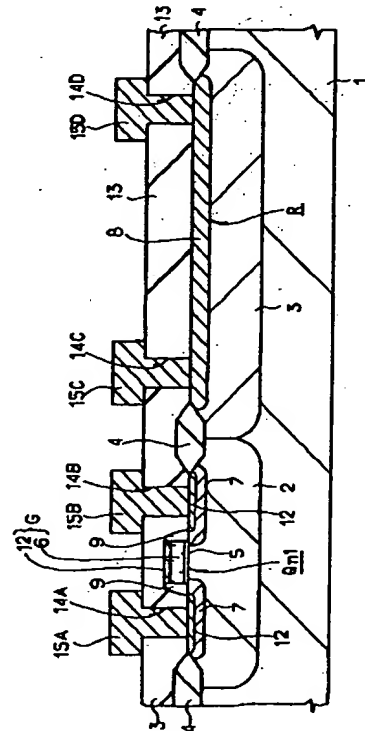
(54)【発明の名称】 半導体集積回路装置

(57)【要約】

【目的】 MISFETQn1と抵抗素子Rとを有する半導体集積回路装置の動作速度の高速化を図ると共に、集積度の向上を図ることが可能な技術を提供することにある。

【構成】 MISFETQn1と抵抗素子Rとを有する半導体集積回路装置において、前記MISFETQn1のソース領域及びドレイン領域を半導体基体1の主面に形成された第1半導体領域7及びその主面に形成されたシリサイド層12で構成し、前記抵抗素子Rを前記半導体基体1の主面に形成された第2半導体領域8で構成する。

図1



【特許請求の範囲】

【請求項1】 MISFETと抵抗素子とを有する半導体集積回路装置において、前記MISFETのソース領域及びドレイン領域が半導体基体の主面に形成された第1半導体領域及びその主面に形成されたシリサイド層で構成され、前記抵抗素子が前記半導体基体の主面に形成された第2半導体領域で構成されることを特徴とする半導体集積回路装置。

【請求項2】 前記シリサイド層は、MISFETのゲート電極の側壁に形成されたサイドウォールスペースに対して自己整合で形成されることを特徴とする請求項1に記載の半導体集積回路装置。

【請求項3】 前記抵抗素子は、外部端子と入出力バッファ回路との間の結線経路に挿入されることを特徴とする請求項1に記載の半導体集積回路装置。

【請求項4】 前記抵抗素子は、出力バッファ回路のMISFETのソース領域及びドレイン領域である一対の第2半導体領域で構成されることを特徴とする請求項1に記載の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体集積回路装置に関し、特に、MISFET (Metal Insulator Semiconductor Field Effect Transistor) と抵抗素子とを有する半導体集積回路装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】 半導体集積回路装置に搭載されるMISFETは、集積度を高める目的として微細化の傾向にある。このMISFETの微細化は、ゲート長の縮小によるゲート抵抗の増加やソース領域及びドレイン領域の浅接合化(シャロー化)によるコンタクト抵抗の増加を招き、動作速度の高速化の妨げになる。そこで、動作速度の高速化を図る目的として、MISFETのゲート電極、ソース領域、ドレイン領域の夫々の主面にシリサイド層を形成するサリサイド (Salicide: Self Aligned Silicide) 技術が使用される。サリサイド技術は、MISFETのゲート電極のゲート長方向の側壁にサイドウォールスペースを形成した後、このサイドウォールスペースに対して自己整合でシリサイド層を形成する技術である。サリサイド技術については、例えば、1987年、アイ・イー・ディー・エム、テクニカルダイジェスト、第841頁乃至第843頁(1987、IEDM、TECHNICAL DIGEST、pp. 841~847)に記載されている。

【0003】

【発明が解決しようとする課題】 本発明者は、前述のサリサイド技術を使用した半導体集積回路装置について検討した結果、以下の問題点を見出した。

に回路素子として抵抗素子を搭載する。抵抗素子は例えば半導体基体の主面に不純物を導入して形成された半導体領域(不純物導入領域)で構成される。この半導体領域からなる抵抗素子は、不純物の導入量を制御することにより、高い精度で抵抗値を自由に設定することができる。

【0005】 しかしながら、半導体集積回路装置の動作速度の高速化を図るため、MISFETのゲート電極、ソース領域、ドレイン領域の夫々の主面にサリサイド技術でシリサイド層を形成する場合、抵抗素子である半導体領域の主面にもシリサイド層が形成される。半導体領域のシート抵抗は数百 Ω/\square であり、シリサイド層のシート抵抗は数 Ω/\square である。つまり、抵抗素子の高抵抗化を図ることができないので、所望の抵抗値を得ようとすると、抵抗素子の占有面積が増加し、半導体集積回路装置の集積度が低下する。

【0006】 本発明の目的は、MISFETと抵抗素子とを有する半導体集積回路装置の動作速度の高速化を図ると共に、集積度の向上を図ることが可能な技術を提供することにある。

【0007】 本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

【0008】

【課題を解決するための手段】 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0009】 MISFETと抵抗素子とを有する半導体集積回路装置において、前記MISFETのソース領域及びドレイン領域を半導体基体の主面に形成された第1半導体領域及びその主面に形成されたシリサイド層で構成し、前記抵抗素子を前記半導体基体の主面に形成された第2半導体領域で構成する。

【0010】

【作用】 上述した手段によれば、MISFETのソース領域及びドレイン領域のコンタクト抵抗を低減することができるので、MISFETの動作速度の高速化を図ることができる。また、抵抗素子の高抵抗化を図ることができるので、抵抗素子の占有面積を縮小することができる。この結果、MISFETと抵抗素子とを有する半導体集積回路装置の動作速度の高速化を図ることができると共に、集積度の向上を図ることができる。

【0011】

【実施例】 以下、本発明の構成について、MISFETと抵抗素子とを有する半導体集積回路装置に本発明を適用した一実施例とともに説明する。なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0012】 (実施例1) 本発明の実施例1である

す。

【0013】図1に示すように、半導体集積回路装置は、例えば単結晶珪素からなるp型半導体基体1を主体に構成される。p型半導体基体1の活性領域の主面にはp型ウエル領域2、n型ウエル領域3の夫々が形成され、p型半導体基体1の非活性領域の主面上にはフィールド絶縁膜4が形成される。フィールド絶縁膜4は例えば周知の選択酸化法で形成した熱酸化珪素膜で形成される。

【0014】前記p型ウエル領域2の主面には、nチャネル導電型のMISFETQn1が形成される。MISFETQn1は、主に、p型ウエル領域(チャネル形成領域)2、ゲート絶縁膜5、ゲート電極G、ソース領域及びドレイン領域である一対のn型半導体領域7で構成される。

【0015】前記ゲート絶縁膜5は、p型ウエル領域2の主面上に形成され、例えば熱酸化珪素膜で形成される。ゲート電極Gはゲート絶縁膜5の主面上に形成される。ソース領域及びドレイン領域である一対のn型半導体領域7の夫々は、p型ウエル領域2の主面に形成され、フィールド絶縁膜4及びゲート電極Gに対して自己整合で形成される。

【0016】前記ゲート電極Gは、ゲート絶縁膜5の主面上に形成された多結晶珪素膜6及びその主面上に形成されたシリサイド層12で構成される。多結晶珪素膜6には、抵抗値を低減する不純物がその堆積中又は堆積後に導入される。この多結晶珪素膜6は数百 Ω/\square のシート抵抗を有する。シリサイド層12は、ゲート電極Gのゲート長方向の側壁に形成されたサイドウォールスペース9に対して自己整合で形成される。このシリサイド層12は数 Ω/\square のシート抵抗を有する。

【0017】前記サイドウォールスペース9は、ゲート電極Gの主面上を含むp型半導体基体1の主面上に例えば酸化珪素膜からなる絶縁膜を形成した後、この絶縁膜に異方性エッチングを施すことにより形成される。

【0018】前記MISFETQn1のソース領域及びドレイン領域である一対のn型半導体領域7の夫々の主面にはシリサイド層12が形成される。つまり、MISFETQ1のソース領域及びドレイン領域は、p型ウエル領域2の主面即ちp型半導体基体1の主面に形成されたn型半導体領域7及びその主面に形成されたシリサイド層12で構成される。n型半導体領域7は数百 Ω/\square のシート抵抗を有する。シリサイド層12はサイドウォールスペース9及びフィールド絶縁膜4に対して自己整合で形成される。

【0019】前記MISFETQn1において、一方のn型半導体領域7の主面に形成されたシリサイド層12には、層間絶縁膜13に形成された接続孔14Aを通して配線15Aが電氣的に接続される。また、他方のn型半導体領域7の主面に形成されたシリサイド層12に

は、層間絶縁膜13に形成された接続孔14Bを通して配線15Bが電氣的に接続される。層間絶縁膜13は例えば酸化珪素膜で形成される。配線15A、配線15Bの夫々は例えばアルミニウム膜又はアルミニウム合金膜で形成される。

【0020】このように、MISFETQn1のゲート電極Gをゲート絶縁膜5の主面上に形成された多結晶珪素膜6及びその主面上に形成されたシリサイド層12で構成することにより、ゲート電極Gのゲート抵抗を低減することができるので、MISFETQn1の動作速度の高速化を図ることができる。

【0021】また、MISFETQn1のソース領域及びドレイン領域をp型半導体基体1の主面に形成されたn型半導体領域7及びその主面上に形成されたシリサイド層12で構成することにより、MISFETQ1のソース領域及びドレイン領域のコンタクト抵抗を低減することができるので、MISFETQn1の動作速度の高速化を図ることができる。

【0022】前記n型ウエル領域3の主面には抵抗素子Rが形成される。抵抗素子Rは、n型ウエル領域3の主面に形成されたp型半導体領域8で構成される。つまり、抵抗素子Rは、前述のMISFETQnのソース領域及びドレイン領域とは異なり、n型ウエル領域3の主面即ちp型半導体基体1の主面に形成されたp型半導体領域8だけで構成される。p型半導体領域8はフィールド絶縁膜4に対して自己整合で形成される。このp型半導体領域8は数百 Ω/\square のシート抵抗を有する。

【0023】前記抵抗素子Rであるp型半導体領域8の一端側には層間絶縁膜13に形成された接続孔14Cを通して配線15Cが電氣的に接続される。また、抵抗素子Rであるp型半導体領域8の他端側には層間絶縁膜13に形成された接続孔14Dを通して配線15Dが電氣的に接続される。抵抗素子Rは、接続孔14Cと接続孔14Dとの間の距離で実効的な抵抗長が規定される。配線15C、配線15Dの夫々は、前述の配線15A、配線15Bの夫々と同一工程で形成される。

【0024】このように、抵抗素子Rをp型半導体基体1の主面に形成されたp型半導体領域8で構成することにより、抵抗素子Rの高抵抗化を図ることができるので、抵抗素子Rの占有面積を縮小することができる。

【0025】次に、前記半導体集積回路装置の製造方法について、図2乃至図5(製造方法を説明するための要部断面図)を用いて説明する。

【0026】まず、単結晶珪素からなるp型半導体基体1を用意する。

【0027】次に、前記p型半導体基体1の活性領域の主面にp型ウエル領域2、n型ウエル領域3の夫々を形成し、その後、p型半導体基体1の非活性領域の主面上にフィールド絶縁膜4を形成する。

【0028】次に、前記p型半導体基体1の活性領域の

主面上にゲート絶縁膜5を形成し、その後、ゲート絶縁膜5の主面上にゲート電極Gである多結晶珪素膜6を形成する。

【0029】次に、前記p型ウエル領域2の主面に例えばイオン打込み法でn型不純物を選択的に導入し、p型ウエル領域2の主面にMISFETQn1のソース領域及びドレイン領域である一対のn型半導体領域7を形成する。一対のn型半導体領域7の夫々は、ゲート電極Gである多結晶珪素膜6及びフィールド絶縁膜4に対して自己整合で形成される。

【0030】次に、前記n型ウエル領域3の主面に例えばイオン打込み法でp型不純物を選択的に導入し、n型ウエル領域3の主面に抵抗素子Rであるp型半導体領域8を形成する。この抵抗素子Rであるp型半導体領域8はフィールド絶縁膜4に対して自己整合で形成される。なお、p型半導体領域8の形成は、p型ウエル領域2の主面にMISFETQn1のソース領域及びドレイン領域である一対のn型半導体領域7を形成する前に行ってもよい。

【0031】次に、図2に示すように、前記ゲート電極Gである多結晶珪素膜6のゲート長方向の側壁にサイドウォールスペーサ9を形成する。サイドウォールスペーサ9は、ゲート電極Gである多結晶珪素膜6の主面上を含むp型半導体基体1の主面上の全面に例えば酸化珪素膜からなる絶縁膜を形成した後、この絶縁膜に異方性エッチングを施すことにより形成される。

【0032】次に、図3に示すように、前記ゲート電極Gである多結晶珪素膜6の主面上、前記ソース領域及びドレイン領域である一対のn型半導体領域7の夫々の主面上、前記抵抗素子Rであるp型半導体領域8の主面上を含むp型半導体基体1の主面上の全面にTi膜、W膜、Mo膜等からなる高融点金属膜10を形成する。本実施例において、高融点金属膜10は、例えばスパッタ法で堆積したTi膜で形成される。

【0033】次に、前記p型ウエル領域2上の高融点金属膜10の主面上を覆うマスク11を形成する。マスク11は例えばフォトリソ膜で形成される。

【0034】次に、前記高融点金属膜10にパターンニングを施し、図4に示すように、抵抗素子Rであるp型半導体領域8の主面上の高融点金属膜10を除去する。

【0035】次に、前記エッチングマスク11を除去する。

【0036】次に、約500～600[℃]程度の低温熱処理を施し、ソース領域及びドレイン領域である一対のn型半導体領域7、ゲート電極Gである多結晶珪素膜6の夫々のSiと高融点金属膜10のTiとを反応させ、図5に示すように、一対のn型半導体領域7、多結晶珪素膜6の夫々の主面にシリサイド層(TiSix層)12を形成する。この工程において、抵抗素子Rであるn

れていないので、p型半導体領域8の主面にはシリサイド層12は形成されない。

【0037】次に、Siと反応していない未反応の高融点金属膜10を例えばウェットエッチング法で選択的に除去する。

【0038】次に、約900～1000[℃]程度の高温熱処理を施し、シリサイド層12の反応を促進させ、シリサイド層12の低抵抗化を図る。

【0039】次に、前記p型半導体基体1の主面上の全面に層間絶縁膜13を形成する。この後、前記層間絶縁膜13に接続孔14A、14B、14C、14Dの夫々を形成する。

【0040】次に、前記層間絶縁膜13の主面上の全面に例えばアルミニウム膜又はアルミニウム合金膜からなる配線材をスパッタ法で形成し、その後、配線材にパターンニングを施して、配線15A、15B、15C、15Dの夫々を形成することにより、図1に示す本実施例の半導体集積回路装置が完成する。

【0041】このように、MISFETQn1と抵抗素子Rとを有する半導体集積回路装置において、前記MISFETQn1のソース領域及びドレイン領域をp型半導体基体1の主面に形成されたn型半導体領域7及びその主面に形成されたシリサイド層12で構成し、前記抵抗素子Rを前記p型半導体基体1の主面に形成されたp型半導体領域8で構成することにより、MISFETQn1のソース領域及びドレイン領域のコンタクト抵抗を低減することができるので、MISFETQn1の動作速度の高速化を図ることができる。また、抵抗素子Rの高抵抗化を図ることができるので、抵抗素子Rの占有面積を縮小することができる。この結果、MISFETQn1と抵抗素子Rとを有する半導体集積回路装置の動作速度の高速化を図ることができると共に、集積度を高めることができる。

【0042】なお、本発明は、pチャネル導電型のMISFETと抵抗素子とを有する半導体集積回路装置にも適用できる。

【0043】(実施例2) 本発明の実施例2である半導体集積回路装置の概略構成を図6(平面レイアウト図)に示す。

【0044】図6に示すように、半導体集積回路装置は、例えば平面が方形に形成された半導体チップ20を主体にして構成される。この半導体チップ20の主面には、方形の各辺に沿った最外周部分に複数の外部端子(ボンディングパッド)21が配置される。

【0045】前記外部端子21の内側には、この外部端子21の配列に沿って複数の入出力バッファ回路22が配置される。入出力バッファ回路22は、1つ(又は複数の)外部端子21に対応する位置に配置される。

【0046】前記入出力バッファ回路22は、図4に示す

セルアレイ)23が構成される。この論理回路部23には、複数の基本セル(論理回路を構成する最小の単位)23AがX方向、Y方向の夫々の方向に規則的に配置される。

【0047】前記入出力バッファ回路22は、図7(等価回路図)に示すように、出力バッファ回路22A及び入力バッファ回路22Bで構成される。出力バッファ回路22Aは、nチャネル導電型のMISFETQn1及びpチャネル導電型のMISFETQp1で構成される。入力バッファ回路22Bは、nチャネル導電型のMISFETQn1及びpチャネル導電型のMISFETQp1で構成される。

【0048】前記出力バッファ回路22Aにおいて、nチャネル導電型のMISFETQn1は、図8(要部断面図)に示すように、p型半導体基体1の主面に形成されたp型ウエル領域2の主面に構成される。また、pチャネル導電型のMISFETQp1は、同図に示すように、p型半導体基体1の主面に形成されたn型ウエル領域3の主面に構成される。MISFETQn1は、主に、p型ウエル領域(チャネル形成領域)2、ゲート絶縁膜5、ゲート電極G、ソース領域及びドレイン領域である一対のn型半導体領域7で構成される。MISFETQp1は、主に、n型ウエル領域(チャネル形成領域)3、ゲート絶縁膜5、ゲート電極G、ソース領域及びドレイン領域である一対のp型半導体領域8で構成される。

【0049】前記MISFETQn1において、ゲート電極Gは、ゲート絶縁膜5の主面上に形成された多結晶珪素膜6及びその主面に形成されたシリサイド層12で構成される。多結晶珪素膜6には、抵抗値を低減する不純物がその堆積中又は堆積後に導入される。この多結晶珪素膜6は数百 Ω/\square のシート抵抗を有する。シリサイド層12は、ゲート電極Gのゲート長方向の側壁に形成されたサイドウォールスペーサ9に対して自己整合で形成される。このシリサイド層12は数 Ω/\square のシート抵抗を有する。

【0050】前記MISFETQn1において、ソース領域及びドレイン領域である一対のn型半導体領域7の夫々の主面にはシリサイド層12が形成される。つまり、MISFETQn1のソース領域及びドレイン領域は、p型ウエル領域2の主面即ち半導体基体1の主面に形成されたn型半導体領域7及びその主面に形成されたシリサイド層12で構成される。n型半導体領域7は数百 Ω/\square のシート抵抗を有する。シリサイド層12は、サイドウォールスペーサ9及びフィールド絶縁膜4に対して自己整合で形成される。

【0051】前記MISFETQn1において、一方のn型半導体領域7の主面に形成されたシリサイド層12には、層間絶縁膜13に形成された接続孔14Aを通して配線15Aが電氣的に接続される。また、他方のn型

半導体領域7の主面に形成されたシリサイド層12には、層間絶縁膜13に形成された接続孔14Bを通して配線15Bが電氣的に接続される。

【0052】前記MISFETQp1において、ゲート電極Gは、ゲート絶縁膜5の主面上に形成された多結晶珪素膜6及びその主面に形成されたシリサイド層12で構成される。多結晶珪素膜6には、抵抗値を低減する不純物がその堆積中又は堆積後に導入される。この多結晶珪素膜6は数百 Ω/\square のシート抵抗を有する。シリサイド層12は、ゲート電極Gのゲート長方向の側壁に形成されたサイドウォールスペーサ9に対して自己整合で形成される。このシリサイド層12は数 Ω/\square のシート抵抗を有する。

【0053】前記MISFETQp1において、ソース領域及びドレイン領域である一対のp型半導体領域8Aの夫々の主面にはシリサイド層12が形成される。つまり、MISFETQp1のソース領域及びドレイン領域は、n型ウエル領域3の主面即ち半導体基体1の主面に形成されたp型半導体領域8及びその主面に形成されたシリサイド層12で構成される。p型半導体領域8は数百 Ω/\square のシート抵抗を有する。シリサイド層12は、サイドウォールスペーサ9及びフィールド絶縁膜4に対して自己整合で形成される。

【0054】前記MISFETQp1において、一方のp型半導体領域8の主面に形成されたシリサイド層12には、層間絶縁膜13に形成された接続孔14Eを通して配線15Eが電氣的に接続される。また、他方のp型半導体領域8の主面に形成されたシリサイド層12には、層間絶縁膜13に形成された接続孔14Fを通して配線15Fが電氣的に接続される。

【0055】前記入力バッファ回路22Bにおいて、nチャネル導電型のMISFETQn1は、図示していないが、出力バッファ回路22AのMISFETQn1と同様に構成される。また、pチャネル導電型のMISFETQp1は、図示していないが、出力バッファ回路22AのMISFETQp1と同様に構成される。

【0056】前記論理回路部23の基本セル23Aは、これに限定されないが、nチャネル導電型のMISFET(図示せず)及びpチャネル導電型のMISFET(図示せず)で構成される。nチャネル導電型のMISFETは、出力バッファ回路22AのMISFETQn1と同様に構成される。また、pチャネル導電型のMISFETは、出力バッファ回路22AのMISFETQp1と同様に構成される。

【0057】このように構成される半導体集積回路装置には、人為的取り扱いや組立プロセス中に人体、パッケージ、若しくはデバイスに帯電された過大な静電気が外部端子(ボンディングパッド)を通して入力バッファ回路にサージ電流として流れ込む所謂静電気破壊を防止する目的として、静電気破壊防止回路が搭載される。静電気

破壊は、図7に示すように、外部端子21に入力バッファ回路22BのMISFETQn1、MISFETQp1の夫々のゲート電極Gが電氣的に接続される場合、このMISFETQn1、MISFETQp1の夫々のゲート絶縁膜5が破壊される現象である。

【0058】前記静電気破壊防止回路は、これに限定されないが、図7に示すように、サージ電流をなまらせる抵抗素子(保護抵抗素子)R及びサージ電流をクランプする出力バッファ回路22Aで構成される。

【0059】前記抵抗素子Rは、外部端子21と入出力バッファ回路22との間の結線経路に挿入される。抵抗素子Rの一端側は外部端子21に電氣的に接続される。抵抗素子Rの他端側は、入力バッファ回路22BのMISFETQn1、MISFETQp1の夫々のゲート電極Gに電氣的に接続されると共に、出力バッファ回路22AのMISFETQn1、MISFETQp1の夫々のドレイン領域(n型半導体領域7、p型半導体領域8A)に電氣的に接続される。

【0060】前記抵抗素子Rは、図9に示すように、n型ウエル領域3の主面に形成されたp型半導体領域8で構成される。このn型ウエル領域3は半導体基体1の主面に形成される。つまり、抵抗素子Rは、前述のMISFETQn1又はMISFETQp1のソース領域及びドレイン領域とは異なり、n型ウエル領域3の主面即ちp型半導体基体1の主面に形成されたp型半導体領域8だけで構成される。p型半導体領域8は、フィールド絶縁膜4に対して自己整合で形成され、数百 Ω/\square のシート抵抗を有する。

【0061】前記抵抗素子Rであるp型半導体領域8の一端側には層間絶縁膜13に形成された接続孔14Cを通して配線15Cが電氣的に接続される。また、抵抗素子Rであるp型半導体領域8の他端側には層間絶縁膜13に形成された接続孔14Dを通して配線15Dが電氣的に接続される。

【0062】このように、前記MISFETQn1のソース領域及びドレイン領域をp型半導体基体1の主面に形成されたn型半導体領域7及びその主面に形成されたシリサイド層12で構成し、前記MISFETQp1のソース領域及びドレイン領域をp型半導体基体1の主面に形成されたp型半導体領域8及びその主面に形成されたシリサイド層12で構成し、前記抵抗素子Rを前記p型半導体基体1の主面に形成されたp型半導体領域8で構成することにより、MISFETQn1のソース領域及びドレイン領域のコンタクト抵抗を低減することができると共に、MISFETQp1のソース領域及びドレイン領域のコンタクト抵抗を低減することができるので、MISFETQn1及びMISFETQp1の動作速度の高速化を図ることができる。また、抵抗素子Rの高抵抗化を図ることができるので、抵抗素子Rの上を流

n1とMISFETQp1と抵抗素子Rとを有する半導体集積回路装置の動作速度の高速化を図ることができると共に、集積度を高めることができる。

【0063】また、静電気破壊防止回路の抵抗素子(保護抵抗素子)Rの高抵抗化を図ることができるので、抵抗素子Rの占有面積を増加することなく、静電気防止回路の静電耐圧の向上を図ることができる。

【0064】(実施例3) 本発明の実施例3である半導体集積回路装置の概略構成を図10(等価回路図)に示す。

【0065】図10に示すように、半導体集積回路装置は、外部端子21と論理回路部23との間に入出力バッファ回路22を配置する。入出力バッファ回路22は出力バッファ回路22A及び入力バッファ回路22Bで構成される。出力バッファ回路22Aは外部端子21と論理回路部23との間の結線経路に挿入される。入力バッファ回路22Bは外部端子21と論理回路部23との間の結線経路に挿入される。

【0066】前記出力バッファ回路22Aは、nチャネル導電型のMISFETQn2及びpチャネル導電型のMISFETQp2で構成される。入力バッファ回路22Bは、nチャネル導電型のMISFETQn1及びpチャネル導電型のMISFETQp1で構成される。

【0067】前記出力バッファ回路22Aにおいて、MISFETQn2は、図11(要部断面図)に示すように、p型半導体基体1の主面に形成されたp型ウエル領域2の主面に構成される。また、MISFETQp2は、同図に示すように、p型半導体基体1の主面に形成されたn型ウエル領域3の主面に構成される。MISFETQn2は、主に、p型ウエル領域(チャネル形成領域)2、ゲート絶縁膜5、ゲート電極G、ソース領域及びドレイン領域である一対のn型半導体領域7で構成される。MISFETQp2は、主に、n型ウエル領域(チャネル形成領域)2、ゲート絶縁膜5、ゲート電極G、ソース領域及びドレイン領域である一対のp型半導体領域8で構成される。

【0068】前記MISFETQn2、Qp2の夫々のゲート電極Gは、抵抗値を低減する不純物が導入された多結晶珪素膜で形成される。MISFETQn2のソース領域及びドレイン領域である一対のn型半導体領域7の夫々は数百 Ω/\square のシート抵抗を有する。MISFETQp2のソース領域及びドレイン領域である一対のp型半導体領域8の夫々は数百 Ω/\square のシート抵抗を有する。

【0069】前記入力バッファ回路22Bにおいて、MISFETQn1、Qp2の夫々は、前述の実施例2で説明したMISFETQn1、Qp1の夫々と同様に構成される。

【0070】前記論理回路部23は、図12に示すように、

れに限定されないが、nチャネル導電型のMISFET及びpチャネル導電型のMISFETで構成される。このnチャネル導電型のMISFET、pチャネル導電型のMISFETの夫々は、入力バッファ回路22BのMISFETQn1、Qp1の夫々と同様に構成される。

【0071】前記半導体集積回路装置は、前述の実施例2と同様に、静電気破壊防止回路を搭載する。本実施例の静電気破壊防止回路は、図10に示すように、サージ電流をなまらせる抵抗素子(保護抵抗素子)R1及び抵抗素子(保護抵抗素子)R2と、サージ電流をクランプするMISFETQn2及びMISFETQp2とで構成される。

【0072】前記抵抗素子R1は、図11に示すように、MISFETQn2のソース領域及びドレイン領域である一対のn型半導体領域7で構成される。つまり、抵抗素子R1は、前述のMISFETQn1のソース領域及びドレイン領域とは異なり、p型ウェル領域2の主面即ちp型半導体基体1の主面に形成されたn型半導体領域7だけで構成される。

【0073】前記抵抗素子R2は、同図に示すように、MISFETQn2のソース領域及びドレイン領域である一対のn型半導体領域7で構成される。つまり、抵抗素子R2は、前述のMISFETQp1のソース領域及びドレイン領域とは異なり、n型ウェル領域3の主面即ちp型半導体基体1の主面に形成されたp型半導体領域8だけで構成される。

【0074】このように、前記MISFETQn1のソース領域及びドレイン領域をp型半導体基体1の主面に形成されたn型半導体領域7及びその主面に形成されたシリサイド層12で構成し、前記MISFETQp1のソース領域及びドレイン領域をp型半導体基体1の主面に形成されたp型半導体領域8及びその主面に形成されたシリサイド層12で構成し、前記抵抗素子R1を前記p型半導体基体1の主面に形成されたn型半導体領域7で構成し、前記抵抗素子R2を前記p型半導体基体1の主面に形成されたp型半導体領域8で構成することにより、MISFETQn1のソース領域及びドレイン領域のコンタクト抵抗を低減することができると共に、MISFETQp1のソース領域及びドレイン領域のコンタクト抵抗を低減することができるので、MISFETQn1及びMISFETQp1の動作速度の高速化を図ることができる。また、抵抗素子R1及び抵抗素子R2の高抵抗化を図ることができるので、抵抗素子R1及び抵抗素子R2の占有面積を縮小することができる。この結果、MISFETQn1とMISFETQp1と抵抗素子R1と抵抗素子R2とを有する半導体集積回路装置の動作速度の高速化を図ることができると共に、集積度を高めることができる。

【0075】また、静電気破壊防止回路の抵抗素子(保

護抵抗素子)R1及びR2の高抵抗化を図ることができるので、抵抗素子R1及びR2の占有面積を増加することなく、静電気防止回路の静電耐圧の向上を図ることができる。

【0076】また、MISFETQn2のソース領域及びドレイン領域をn型半導体領域7だけで構成し、MISFETQp2のソース領域及びドレイン領域をp型半導体領域8だけで構成することにより、n型半導体領域7、p型半導体領域8の夫々を静電気破壊防止回路の抵抗素子(保護抵抗素子)R1、R2として積極的に利用することができるので、新たに半導体領域を追加することなく、現状の設計ルールにおいて入出力バッファ回路22を設計することができる。

【0077】以上、本発明者によってなされた発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0078】例えば、本発明は、単結晶珪素基板の主面に絶縁膜を介在して単結晶珪素基板を積層した所謂SOI(Silicon On Insulator)構造の半導体基体で構成される半導体集積回路装置に適用できる。

【0079】また、本発明は、単結晶珪素基板の主面にエピタキシャル層を形成した半導体基体で構成される半導体集積回路装置に適用できる。

【0080】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0081】MISFETと抵抗素子とを有する半導体集積回路装置の動作速度の高速化を図ることができると共に、集積度の向上を図ることができる。

【図面の簡単な説明】

【図1】本発明の実施例1である半導体集積回路装置の要部断面図。

【図2】前記半導体集積回路装置の製造方法を説明するための要部断面図。

【図3】前記半導体集積回路装置の製造方法を説明するための要部断面図。

【図4】前記半導体集積回路装置の製造方法を説明するための要部断面図。

【図5】前記半導体集積回路装置の製造方法を説明するための要部断面図。

【図6】本発明の実施例2である半導体集積回路装置の平面レイアウト図。

【図7】前記半導体集積回路装置の等価回路図。

【図8】前記半導体集積回路装置の要部断面図。

【図9】前記半導体集積回路装置の要部断面図。

【図10】本発明の実施例2である半導体集積回路装置の等価回路図。

【図11】前記半導体集積回路装置の要部断面図。

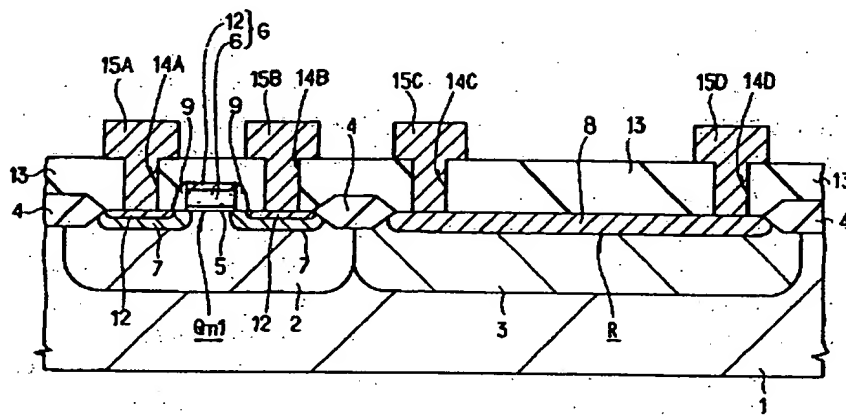
【符号の説明】

1…p型半導体基体、2…p型ウェル領域、3…n型ウェル領域、4…フィールド絶縁膜、5…ゲート絶縁膜、6…多結晶珪素膜、7…n型半導体領域、8…p型半導体領域、9…サイドウォールスペーサ、10…高融点金属膜、11…マスク、12…シリサイド層、13…層間絶縁膜、14A、14B、14C、14D、14E、1

4F…接続孔、15A、15B、15C、15D、15E、15F…配線、20…半導体チップ、21…外部端子、22…入出力バッファ回路、22A…出力バッファ回路、22B…入力バッファ回路、23…論力回路部、23A…基本セル、G…ゲート電極、Qn1、Qn2…MISFET、Qp1、Qp2…MISFET、R、R1、R2…抵抗素子。

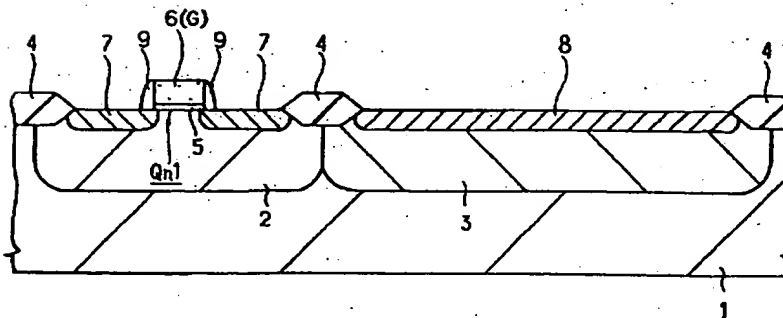
【図1】

図1



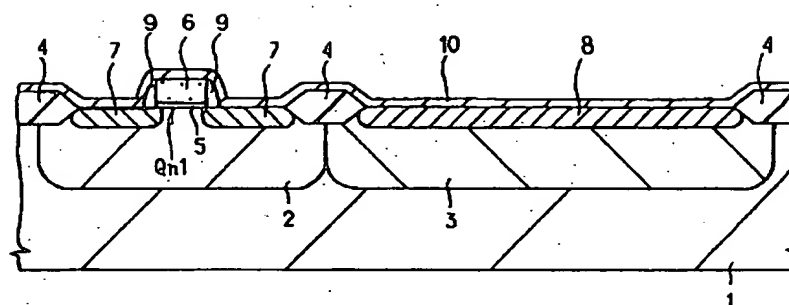
【図2】

図2

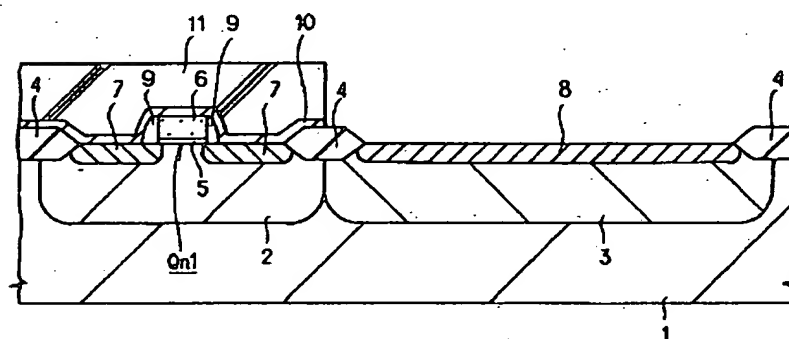


【図3】

Figure 3 shows a schematic diagram of a rectangular domain with a central square hole. The domain is divided into four quadrants by a vertical line and a horizontal line. The central square hole is also divided into four quadrants. The outer boundary is labeled 'a' and the inner boundary is labeled 'b'.

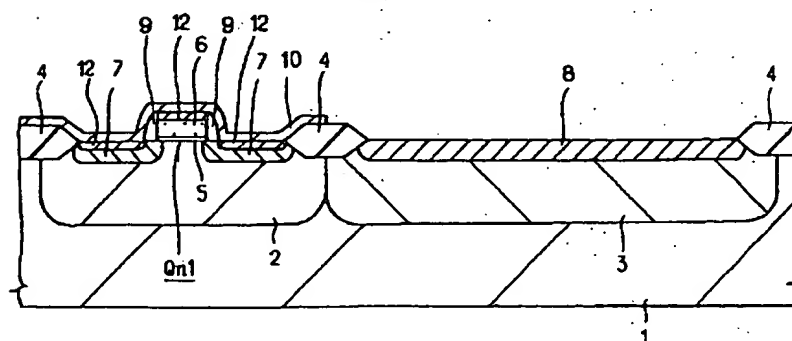


【図4】



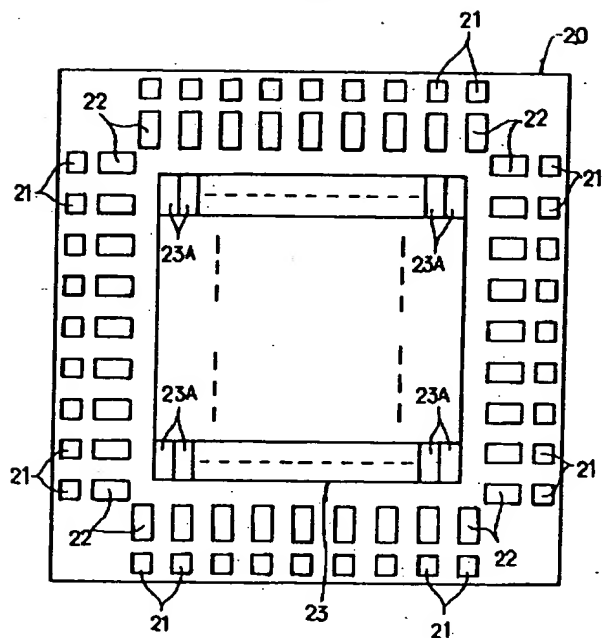
【图5】

图 5



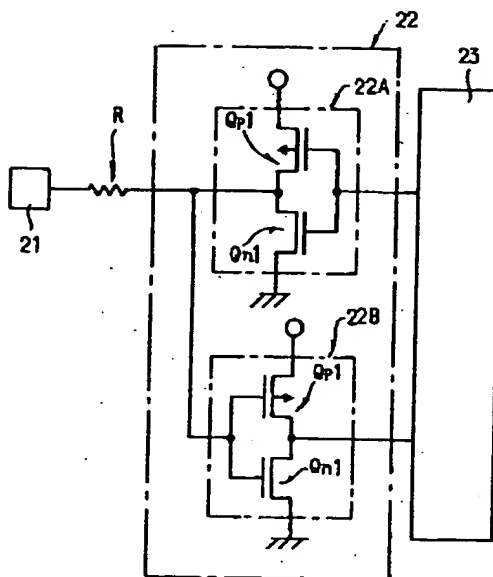
【図6】

図 6



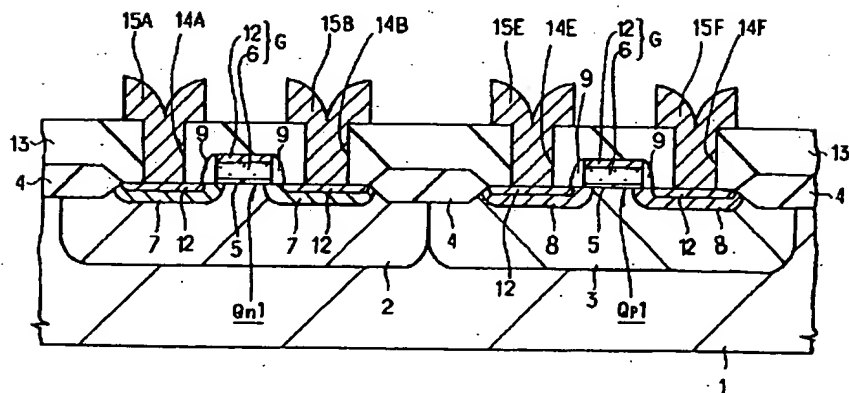
【図7】

図 7



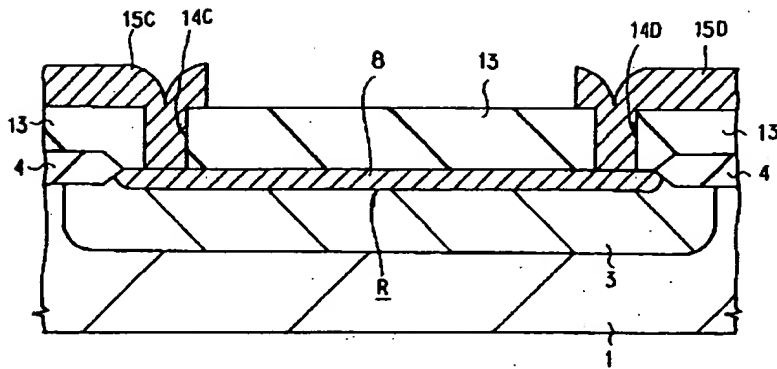
【図8】

図 8



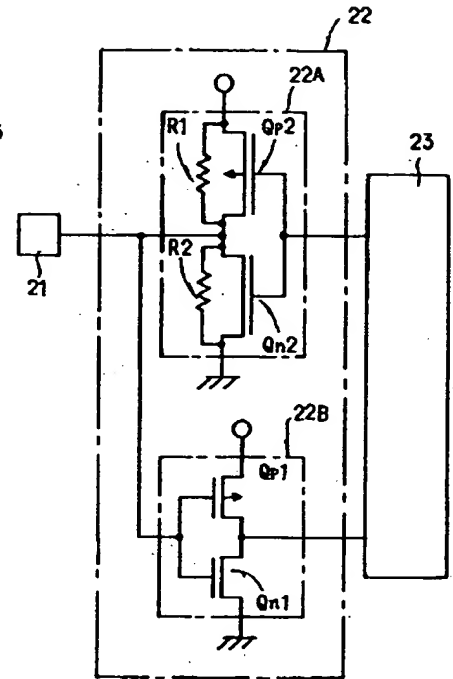
【図 9】

図 9



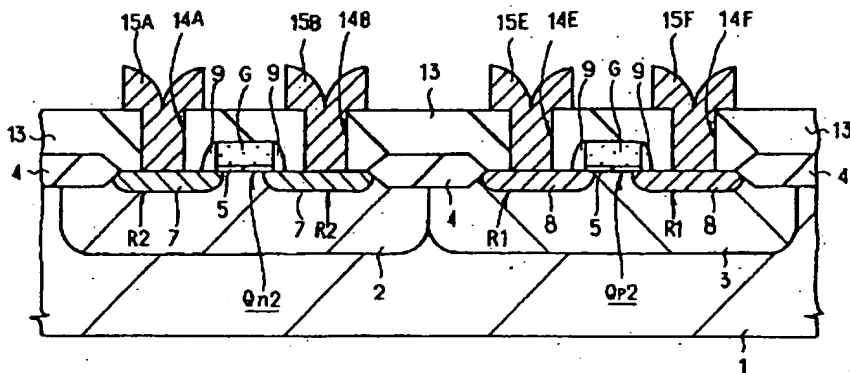
【図 10】

図 10



【図 11】

図 11



フロントページの続き

(72)発明者 北村 暢章

東京都小平市上水本町5丁目20番1号 日

立超エル・エス・アイ・エンジニアリング

株式会社内